

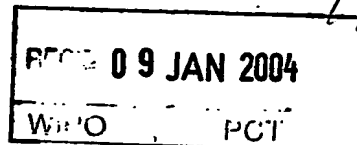
Rec'd PCT/PTO 28 APR 2005

PCT/DE03/03588

10/53321

BUNDE REPUBLIK DEUTSCHLAND

**PRIORITY DOCUMENT**  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH  
RULE 17.1(a) OR (b)



**Prioritätsbescheinigung über die Einreichung  
einer Patentanmeldung**

**Aktenzeichen:** 102 50 829.1

**Anmeldetag:** 31. Oktober 2002

**Anmelder/Inhaber:** Infineon Technologies AG, München/DE

**Bezeichnung:** Nichtflüchtige Speicherzelle, Speicherzellen-Anordnung und Verfahren zum Herstellen einer nichtflüchtigen Speicherzelle

**IPC:** H 01 L 27/115

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 13. November 2003  
Deutsches Patent- und Markenamt  
Der Präsident  
Im Auftrag

Hoß

**Beschreibung****Nichtflüchtige Speicherzelle, Speicherzellen-Anordnung und Verfahren zum Herstellen einer nichtflüchtigen Speicherzelle**

5

Die Erfindung betrifft eine nichtflüchtige Speicherzelle, eine Speicherzellen-Anordnung und ein Verfahren zum Herstellen einer nichtflüchtigen Speicherzelle.

10 Die herkömmliche Silizium-Mikroelektronik wird bei weiter voranschreitender Verkleinerung an ihre Grenzen stoßen. Bei einem Feldeffekttransistor nehmen mit fortgesetzter Miniaturisierung störende Kurzkanaleffekte zu, welche die Leistungsfähigkeit des Feldeffekttransistors einschränken. Zu  
15 den Problemen, die bei einem einzelnen Bauelement auftreten, kommt bei einer Speicher-Anordnung noch eine begrenzte Skalierbarkeit des Speichermediums hinzu, beispielsweise kann die Kapazität in einem DRAM ("Dynamic Random Access Memory") nicht beliebig skaliert werden.

20 Als mögliche Nachfolgetechnologie für die Silizium-Mikroelektronik wird die Verwendung von Kohlenstoffnanoröhren diskutiert. Grundlagen über Kohlenstoffnanoröhren sind beispielsweise in [1] beschrieben. Es ist bekannt, dass  
25 Kohlenstoffnanoröhren (in Abhängigkeit von den Röhrenparametern) ein von halbleitend bis metallisches elektrisches Leitfähigkeits-Verhalten aufweisen.

Aus [2] ist bekannt, in eine Gate-Elektroden-Schicht ein  
30 Durchgangsloch einzubringen, und in diesem ein vertikales Nanelement aufzuwachsen. Dadurch wird ein vertikaler Feldeffekttransistor mit dem Nanelement als Kanal-Bereich erhalten, wobei die elektrische Leitfähigkeit des Kanal-Bereichs mittels des das Nanelement entlang annähernd seiner  
35 gesamten Längserstreckung umgebenden Gate-Elektroden-Bereich steuerbar ist.

Aus [3] ist ein Feldeffekttransistor mit einer Kohlenstoffnanoröhre als Kanal-Bereich bekannt, die horizontal auf einem Substrat aufgebracht ist. Die Kohlenstoffnanoröhre ist an zwei Endabschnitten mit ersten bzw. zweiten Source-/Drain-Bereichen gekoppelt. Auf der Kohlenstoffnanoröhre ist eine Gate-isolierende Schicht aufgebracht. Auf der Gate-isolierenden Schicht in einem Bereich zwischen den beiden Source-/Drain-Bereichen ist ein elektrisch leitfähiger Gate-Bereich aufgebracht, wobei mittels Anlegens einer elektrischen Spannung an den Gate-Bereich die Leitfähigkeit der Kohlenstoffnanoröhre steuerbar ist. Die gemäß [3] horizontal aufgebrachte Kohlenstoffnanoröhre erfordert einen großen Platzbedarf eines solchen Feldeffekttransistors, was dem Trend zur Miniaturisierung entgegenwirkt.

Ferner ist aus dem Stand der Technik bekannt, als Permanentspeicher eine sogenannte EEPROM-Speicherzelle ("Electrically Erasable Programmable Read-Only Memory") bzw. eine Flash-Speicherzelle zu verwenden, bei denen in einem Floating Gate bzw. in einer Ladungsspeicherschicht gespeicherten elektrischen Ladungsträgern die Speicherinformation codiert ist. In dem elektrisch leitfähigen Floating-Gate bzw. in der elektrisch isolierenden Ladungsspeicherschicht ("trapping layer") enthaltene Information kann mittels einer Verschiebung der Einsatzspannung des Speicher-Transistors ausgelesen werden.

Allerdings weisen die bekannten EEPROM bzw. Flash-Speicherzellen das Problem auf, dass bei einer fortgesetzten Miniaturisierung störende Kurzkanaleffekte bei den beteiligten Transistoren auftreten.

[4] offenbart ein elektronisches Bauelement aus elektrisch leitenden ersten Nanodrähten, einem auf den ersten Nanodrähten aufgetragenen Schichtsystem und auf dem Schichtsystem aufgetragenen zweiten Nanodrähten, wobei die

ersten und zweiten Nanodrähte zueinander windschief angeordnet sind. Von den Nanodrähten erzeugte Ladungsträger sind in dem Schichtsystem speicherbar.

- 5 [5], [6] offenbaren jeweils eine Speicherzelle aus einem Silizium-Substrat als Gate-Bereich, einer auf dem Silizium-Substrat ausgebildeten Siliziumoxid-Schicht und einer darauf ausgebildeten Nanoröhre, wobei Ladungsträger in die Siliziumoxid-Schicht einbringbar sind.

10

Der Erfindung liegt insbesondere das Problem zugrunde, eine nichtflüchtige Speicherzelle bereitzustellen, die eine gegenüber dem Stand der Technik erhöhte Integrationsdichte ermöglicht.

15

Das Problem wird durch eine nichtflüchtige Speicherzelle, durch eine Speicherzellen-Anordnung und durch ein Verfahren zum Herstellen einer nichtflüchtigen Speicherzelle mit den Merkmalen gemäß den unabhängigen Patentansprüchen gelöst.

20

Die nichtflüchtige Speicherzelle weist einen Vertikal-Feldeffekttransistor mit einem als Kanal-Bereich eingerichteten Nanoelement auf. Ferner ist eine das Nanoelement zumindest teilweise umgebende elektrisch isolierende Schicht als Ladungsspeicherschicht und als Gate-isolierende Schicht vorgesehen. Diese ist derart eingerichtet, dass elektrische Ladungsträger selektiv darin einbringbar oder daraus entfernenbar sind. Ferner ist die Ladungsspeicherschicht derart eingerichtet, dass die

25 elektrische Leitfähigkeit des Nanoelementes charakteristisch von in der elektrisch isolierenden Schicht eingebrachten elektrischen Ladungsträgern beeinflussbar ist.

30

Darüber hinaus ist erfindungsgemäß eine Speicherzellen-Anordnung mit einer Mehrzahl von nebeneinander und/oder aufeinander ausgebildeten Speicherzellen mit den oben beschriebenen Merkmalen geschaffen.

35

Gemäß dem erfindungsgemäßen Verfahren zum Herstellen einer nichtflüchtigen Speicherzelle wird ein Vertikal-Feldeffekttransistor mit einem als Kanal-Bereich

5 eingerichteten Nanelement ausgebildet. Ferner wird eine das Nanelement zumindest teilweise umgebende elektrisch isolierende Schicht als Ladungsspeicherschicht und als Gate-isolierende Schicht ausgebildet. Die elektrisch isolierende Schicht wird derart eingerichtet, dass elektrische

10 Ladungsträger selektiv darin einbringbar oder daraus entfernbar sind. Ferner wird die elektrisch isolierende Schicht derart eingerichtet, dass die elektrische Leitfähigkeit des Nanelements charakteristisch von in der elektrisch isolierenden Schicht eingebrachten elektrischen

15 Ladungsträgern beeinflussbar ist.

Eine Grundidee der Erfindung ist darin zu sehen, dass eine nichtflüchtige Vertikaltransistor-Speicherzelle mit einem Nanelement einer Dimension im Nanometer-Bereich geschaffen

20 ist, wobei die Gate-isolierende Schicht anschaulich als Ladungsspeicherschicht mitverwendet wird. Unter Verwendung eines Vertikal-Feldeffekttransistors kann der Kanal-Bereich ausreichend lang realisiert sein, dass störende Kurzkanaleffekte vermieden sind, und dass aufgrund der

25 vertikalen Anordnung simultan eine hohe Integrationsdichte erreichbar ist. Die geringe Querschnittsfläche eines Nanelements im Bereich weniger Nanometer ermöglicht eine außerordentlich hohe Integrationsdichte, d.h. Dichte von Speicherzellen in einer Speicherzellen-Anordnung. Mittels der

30 das Nanelement umgebenden elektrisch isolierenden Schicht als Ladungsspeicherschicht ist eine besonders empfindliche Abhängigkeit der Parameter des Feldeffekttransistors (insbesondere der Schwellenspannung) von darin eingebrachten elektrischen Ladungsträgern realisiert. Solche Ladungsträger

35 können in die nichtflüchtige Speicherzelle, genauer gesagt in deren Ladungsspeicherschicht, beispielsweise mittels Fowler-Nordheim-Tunnelns eingebracht werden. Dadurch ist ein

ausreichend sicheres Schreiben, Lesen und Löschen von Informationen der nichtflüchtige Speicherzelle sichergestellt. Bei Verwendung einer elektrisch isolierenden Schicht als Ladungsspeicherschicht und simultan als Gate-  
5 isolierende Schicht, beispielsweise eine ONO-Schicht oder eine Aluminiumoxid-Schicht, ist eine ausreichend lange Haltezeit einer gespeicherten Information mit einem ausreichend schnellen Auslesen kombiniert.

10 Ein wesentlicher Vorteil der erfindungsgemäßen Speicherzelle ist, dass aufgrund des sehr geringen Durchmessers des Nanelements in der Größenordnung von einem Nanometer und aufgrund der vertikalen Anordnung der Nanelemente eine  
wesentlich höhere Skalierbarkeit gegeben ist, vergleichen mit  
15 konventionellen planaren Flashzellen. Ferner ist vorteilhaft, dass die Nanelemente im Vergleich zu herkömmlichen Silizium-Transistoren eine wesentlich verbesserte Stromtreiber-Fähigkeit aufweisen. Darüber hinaus ist vorteilhaft, dass bei der erfindungsgemäßen Speicherzelle der Kanal-Bereich des  
20 Transistors nicht aus einem einkristallinen Ausgangsmaterial herausgearbeitet werden muss, was bei der herkömmlichen Silizium-Mikroelektronik die Beschränkung auf im Wesentlichen zwei-dimensionale Anordnungen zur Folge hat.

25 Anschaulich kann ein wesentlicher Aspekt der Erfindung darin gesehen werden, dass eine vorteilhafte Kombination der elektrischen Eigenschaften von Nanelementen mit Prozessen der Silizium-Mikrotechnologie zum Herstellen eines hochskalierbaren elektrischen PermanentSpeichers realisiert  
30 ist.

Erfindungsgemäß wird ein Vertikal-Feldeffekttransistor mit einem Nanelement als Kanal-Bereich dahingehend ausgestaltet und betrieben, dass er als PermanentSpeicher-Element  
35 verwendbar ist. Hierfür wird ein derartiges Gate-Dielektrikum (z.B. Aluminiumoxid,  $\text{Al}_2\text{O}_3$ ) bzw. eine Schichtenfolge von Dielektrika (z.B. Siliziumoxid-Siliziumnitrid-Siliziumoxid,

ONO-Schichtenfolge) gewählt, dass ein Speichern von elektrischen Ladungsträgern sowie ein Beschreiben der Speicherzelle bzw. ein Löschen der Speicherinformation ermöglicht ist.

5

Anschaulich kann ein Aspekt der Erfindung darin gesehen werden, dass ein NROM- ("nitrided read only memory") Flashspeicher mit einem vertikalen NANOelement als Kanal-Bereich geschaffen ist.

10

Vorzugsweise ist die elektrisch isolierende Schicht eine Siliziumoxid-Siliziumnitrid-Siliziumoxid-Schichtenfolge oder eine Aluminiumoxid-Schicht. Darüber hinaus ist eine geeignet eingerichtete Siliziumnitrid-Schicht, eine Hafniumoxid-Schicht oder eine beliebige andere elektrisch isolierende Schicht als Ladungsspeicherschicht verwendbar.

15

Das NANOelement kann eine Nanoröhre, ein Bündel von Nanoröhren oder ein Nanostäbchen aufweisen. Bei einer Realisierung des NANOelements als Nanostäbchen kann dieses aus Silizium, Germanium, Indiumphosphid, Galliumnitrid, Galliumarsenid, Zirkoniumoxid, und/oder einem Metall gebildet sein.

20

Bei einer Ausgestaltung des NANOelements als Nanoröhre kann diese eine Kohlenstoffnanoröhre, eine Kohlenstoff-Bor-Nanoröhre, eine Kohlenstoff-Stickstoff-Nanoröhre, eine Wolframsulfid-Nanoröhre oder eine Chalkogenid-Nanoröhre sein.

25

Die erfindungsgemäße Speicherzelle kann eine erste elektrisch leitfähige Schicht als ersten Source-/Drain-Bereich des Feldeffekttransistors aufweisen, auf welcher das NANOelement aufgewachsen ist. Die erste elektrisch leitfähige Schicht kann insbesondere aus einem Material hergestellt sein, welches das Aufwachsen von Kohlenstoffnanoröhren katalytisch unterstützt. In diesem Szenario kann die erste elektrisch leitfähige Schicht zum Katalysieren des Ausbildens des

30

35

Nanoelements und simultan als Source-/Drain-Bereich verwendet werden.

Die Speicherzelle kann ferner eine zweite elektrisch leitfähige Schicht als Gate-Bereich des Feldeffekttransistors aufweisen, welche die elektrisch isolierende Schicht zumindest teilweise umgibt. Gemäß dieser Ausgestaltung umgibt der Gate-Bereich das Nanoelement, durch die dazwischen angeordnete ringförmige bzw. hohlzylinderförmige elektrisch isolierende Schicht getrennt, so dass ein besonders sensitives Ansteuern des Nanoelements ermöglicht ist.

Die erfindungsgemäße Speicherzelle kann eine dritte elektrisch leitfähige Schicht als zweiter Source-/Drain-Bereich des Feldeffekttransistors aufweisen, welche auf dem Nanoelement ausgebildet ist.

Die Speicherzelle kann auf und/oder in einem Substrat ausgebildet sein, welches aus polykristallinem oder amorphem Material hergestellt sein kann. Es ist ein Vorteil der Erfindung, dass für die erfindungsgemäße Speicherzellen-Architektur ein teures einkristallines Silizium-Substrat entbehrlich ist, und dass auf ein kostengünstiges Substrat zurückgegriffen werden kann.

Die Speicherzelle kann ausschließlich aus dielektrischem Material, metallischem Material und Material der Nanostruktur gebildet sein. In einer solchen Konfiguration ist ein häufig teures Halbleiter-Substrat (beispielsweise ein kristalliner Silizium-Wafer), entbehrlich.

Die Dicke der zweiten elektrisch leitfähigen Schicht kann kleiner als eine Längsausdehnung des Nanoelements vorgesehen sein derart, dass die das Nanoelement umgebende elektrisch isolierende Schicht und die zweite elektrisch leitfähige Schicht eine einen Teil des Nanoelements umgebende Ringstruktur bilden.



Es kann die das Nanoelement zumindest teilweise umgebende elektrisch isolierende Schicht als das Nanoelement ringförmig umgebend vorgesehen sein, welche elektrisch isolierende Schicht die Gate-Isolationsschicht und die Ladungsspeicherschicht der Vertikaltransistor-Speicherzelle bildet. Ferner kann zumindest ein Teil des elektrisch isolierenden Rings von der zweiten elektrisch leitfähigen Schicht umgeben sein, welche die Gate-Elektrode des Vertikal-Schalt-Transistors und die Wort-Leitung bildet.

Indem das halbleitende Nanoelement in einem Teilbereich davon von einer elektrisch isolierenden Ringstruktur statt von einer hohlzylinderförmigen elektrisch isolierenden Struktur umgeben ist, ist eine Gate-isolierende Schicht und simultan eine Ladungsspeicherschicht bereitgestellt, welche von dem als Gate-Elektrode fungierenden ersten elektrisch leitfähigen Bereich umgeben ist. Mittels Anlegens einer geeigneten Spannung an den Gate-Bereich kann in dem als Kanal-Bereich fungierenden Bereich des Nanoelements, das von der Ringstruktur umgeben ist, die Leitfähigkeit des Nanoelements besonders sensitiv beeinflusst werden. Mittels Verwendens einer ringförmigen Gate-Isolationsschicht kann aufgrund eines elektrostatischen Spitzeneffekts die Amplitude eines mittels Anlegens einer elektrischen Spannung an die Gate-Elektrode oder mittels Einbringens von elektrischen Ladungsträgern in die Ladungsspeicherschicht generierten elektrischen Felds nahe des Nanoelements besonders groß gemacht werden, so dass eine besonders exakte Steuerung der elektrischen Leitfähigkeit des Kanal-Bereichs ermöglicht ist. Dadurch ist mittels Verwendens einer Ringstruktur als Gate-Isolationsschicht eine Speicherzelle mit einer besonders hohen Genauigkeit und Fehlerrobustheit beim Auslesen von Speicherinformation geschaffen. Eine solche Ringstruktur kann zum Beispiel dadurch erzeugt werden, dass die Dicke der zweiten elektrisch leitfähigen Schicht dünner, vorzugsweise

wesentlich dünner, gewählt wird als die Längsausdehnung des Nanelements.

Im Weiteren wird das erfindungsgemäße Verfahren zum Herstellen einer nichtflüchtigen Speicherzelle näher beschrieben. Ausgestaltungen der Speicherzelle gelten auch für das Verfahren zum Herstellen der Speicherzelle und umgekehrt.

10 Gemäß dem Verfahren kann eine erste elektrisch leitfähige Schicht als erster Source-/Drain-Bereich des Feldeffekttransistors ausgebildet werden und nachfolgend eine  
15 zweite elektrisch leitfähige Schicht als Gate-Bereich des Feldeffekttransistors ausgebildet werden. Ein Teilbereich der ersten elektrisch leitfähigen Schicht kann freigelegt werden, indem ein Durchgangsloch in die zweite elektrisch leitfähige Schicht eingebracht wird. Ferner kann die elektrisch  
20 isolierende Schicht auf der Oberfläche des Durchgangslochs ausgebildet werden. Das Nanelement kann auf dem freigelegten Teilbereich der ersten elektrisch leitfähigen Schicht in dem Durchgangsloch aufgewachsen werden, vorzugsweise mittels thermischen Oxidierens ausgebildet werden. Im Falle des Einbringens von elektrisch isolierendem Material in das Durchgangsloch ist darauf zu achten, dass ein Verstopfen des  
25 Durchgangslochs vermieden ist, um eine einwandfreie Funktionalität der Speicherzelle zu gewährleisten.

Auf diese Weise ist es mit geringem Kosten- und Zeitaufwand ermöglicht, die erfindungsgemäße Speicherzelle herzustellen.

30 Alternativ kann eine erste elektrisch leitfähige Schicht als erster Source-/Drain-Bereich des Feldeffekttransistors ausgebildet werden und nachfolgend eine Hilfsschicht ausgebildet werden. Ein Teilbereich der ersten elektrisch  
35 leitfähigen Schicht kann freigelegt werden, indem ein Durchgangsloch in die Hilfsschicht eingebracht wird. Das Nanelement kann auf dem freigelegten Teilbereich der ersten

elektrisch leitfähigen Schicht in dem Durchgangsloch aufgewachsen werden und die Hilfsschicht entfernt werden. Die elektrisch isolierende Schicht kann nachfolgend auf der Oberfläche des Nanoelements aufgebracht werden. Gemäß dieser Ausgestaltung kann die elektrisch isolierende Schicht als Ladungsspeicherschicht und als Gate-isolierende Schicht anschaulich auf einem freiliegenden Nanoelement selbst aufgebracht werden, was vielfältige Möglichkeiten für die Materialwahl der Ladungsspeicherschicht eröffnet. Ferner ist die Gefahr eines Verstopfens des Durchgangslochs beim Einbringen von elektrisch isolierendem Material darin mittels dieser Ausgestaltung besonders sicher vermieden.

Gemäß einer weiteren Alternative kann das Nanoelement zunächst freistehend auf einem Source-/Drain-Bereich vertikal aufgewachsen werden und nachfolgend der restliche Vertikal-Feldeffekttransistor ausgebildet werden.

Zum Beispiel können bei dieser Ausgestaltung Katalysatormaterial-Spots geringen Durchmessers unter Verwendung eines Lithographie- und eines Ätz-Verfahrens auf einem Substrat aufgebracht werden, und es können auf den lithographisch definierten Katalysatormaterial-Spots freistehend vertikale bzw. im Wesentlichen vertikale Nanoelemente aufgewachsen werden. Nachfolgend können um das aufgewachsene Nanoelement herum die weiteren Komponenten des Vertikal-Feldeffekttransistors ausgebildet werden.

Beispielsweise kann zunächst elektrisch isolierendes Material als Gate-isolierende Schicht und simultan als

Ladungsspeicherschicht auf dem Nanoelement abgeschieden werden und nachfolgend die weiteren Komponenten (Gate-Bereich, zweiter Source-/Drain-Bereich etc.) ausgebildet werden. Die Katalysatormaterial-Spots können beispielsweise aus Nickel-Material mit einem Durchmesser von ungefähr 50nm ausgebildet werden. Insbesondere unter Verwendung eines Plasma-CVD-Verfahrens ("Chemical Vapour Deposition") sind dann vertikale freistehende Kohlenstoffnanoröhren ausbildbar,

ohne dass das vorhergehende Ausbilden von Poren in einer Schicht als Schablonen zum Aufwachsen der Kohlenstoffnanoröhren erforderlich ist.

5 Die Herstellung der erfindungsgemäßen Speicherzelle kann so erfolgen, dass eine Gate-Elektrode aus metallischem oder metallisch leitfähigem Material über einer anderen elektrisch leitfähigen Schicht auf einem Substrat ausgebildet wird. Die  
10 direkt auf dem Substrat aufgebrachte metallische Schicht kann für das spätere Aufwachsen der Nanoröhren bzw. Nanodrähte als Katalysator dienen. Simultan kann sie die Funktionalität eines ersten Source-/Drain-Bereichs erfüllen. In dem Stapel kann eine Anordnung von Poren, beispielsweise mittels  
15 Einbringens von Durchgangslöchern in die Gate-Elektrode unter Verwendung der Elektronenstrahllithographie und eines anisotropen Ätz-Verfahrens, hergestellt werden. Mittels der so erzeugten Poren kann die Katalysatorschicht freigelegt werden. Die Seitenwände der Poren als Oberfläche der Gate-Elektrode können mit einem Dielektrikum bzw. mit einer  
20 Schichtenfolge von Dielektrika (z.B. ONO-Schichtenfolge) belegt werden. Optional kann anschließend der Porenboden der unteren elektrisch leitfähigen Schicht freigelegt werden, sofern dieser von dem zuvor abgeschiedenen dielektrischen Material belegt ist. In einem CVD-Verfahrensschritt  
25 ("Chemical Vapour Deposition") können anschließend auf der an dem Porenboden freigelegten Katalysatorschicht die vorzugsweise halbleitenden Nanoröhrchen bzw. Nanodrähte in den Poren aufgewachsen werden. Mittels Abscheidens und Strukturierens einer zweiten Source-/Drain-Elektrode kann die  
30 erfindungsgemäße Speicherzelle vollendet werden.

Beim Betrieb der Speicherzelle erfolgt ein Programmieren, Löschen oder Auslesen von Speicherinformation, welche in elektrischen Ladungsträgern kodiert ist, die in die  
35 Ladungsspeicherschicht eingebracht sind bzw. werden. Das Programmieren/Löschen von Speicherinformation erfolgt vorzugsweise mittels Fowler-Nordheim-Tunnelns oder mittels

Tunnelns von heißen Elektronen ("hot electrons") oder heißen Löchern ("hot holes"), wodurch elektrische Ladungsträger (Elektronen, Löcher) in die Ladungsspeicherschicht dauerhaft eingebracht werden bzw. daraus entfernt werden. Zum Auslesen der Speicherinformation wird der Effekt verwendet, dass die elektrischen Eigenschaften des Speicherzellen-Feldeffekttransistors von in der Ladungsspeicherschicht eingebrachten Ladungsträgern charakteristisch beeinflusst werden. Beispielsweise ist in Abhängigkeit von Menge und Ladungsträgertyp (positive oder negative Ladung) der in der Ladungsspeicherschicht enthaltenen Ladungsträger die Schwellenspannung des Feldeffekttransistors modifiziert. Somit kann bei Anlegen einer vorgebbaren elektrischen Spannung zwischen die Source-/Drain-Bereiche des Feldeffekttransistors der Wert des daraus resultierenden elektrischen Stroms dazu verwendet werden, die Speicherinformation der Speicherzelle zu ermitteln.

Es ist ein wichtiger Aspekt der erfindungsgemäßen Speicherzellen-Architektur, einen Schaltkreis mit mehreren unterschiedlichen Komponenten (z.B. erfindungsgemäßen Speicherzellen, Feldeffekttransistoren und Logik-Bauelementen), die miteinander verschaltet sind, bereitzustellen.

Ausführungsbeispiele der Erfindung sind in den Figuren dargestellt und werden im Weiteren näher erläutert.

Es zeigen:

Figuren 1A, 1B Schichtenfolgen zu unterschiedlichen Zeitpunkten während eines Verfahrens zum Herstellen einer Speicherzelle gemäß einem ersten Ausführungsbeispiel der Erfindung,

Figur 1C eine nichtflüchtige Speicherzelle gemäß einem ersten Ausführungsbeispiel der Erfindung,

Figuren 2A bis 2E Schichtenfolgen zu unterschiedlichen Zeitpunkten während eines Verfahrens zum Herstellen einer Speicherzelle gemäß einem zweiten Ausführungsbeispiel der Erfindung,

Figur 2F eine nichtflüchtige Speicherzelle gemäß einem zweiten Ausführungsbeispiel der Erfindung,

Figuren 3A, 3B Schichtenfolgen zu unterschiedlichen Zeitpunkten während eines Verfahrens zum Herstellen einer Speicherzelle gemäß einem dritten Ausführungsbeispiel der Erfindung,

Figur 4 eine Speicherzellen-Anordnung gemäß einem Ausführungsbeispiel der Erfindung.

Gleiche oder ähnliche Komponenten in unterschiedlichen Figuren sind mit gleichen Bezugsziffern versehen.

Im Weiteren wird bezugnehmend auf Fig.1A bis Fig.1C ein Verfahren zum Herstellen einer Speicherzelle gemäß einem ersten Ausführungsbeispiel der Erfindung beschrieben.

Um die in Fig.1A gezeigte Schichtenfolge 100 zu erhalten, wird auf einem Glas-Substrat 101 (alternativ kann auch ein Silizium-Substrat etc. verwendet werden) ein für das Aufwachsen von Kohlenstoffnanoröhren katalytisch aktives Material (z.B. Nickel, Kobalt oder Eisen) abgeschieden und derart strukturiert, dass dadurch ein erster Source-/Drain-Bereich 102 auf dem Glas-Substrat 101 ausgebildet wird. Ferner wird auf der so erhaltenen Schichtenfolge eine erste elektrisch isolierende Schicht 102 mittels Abscheidens von Siliziumnitrid-Material ausgebildet. Alternativ kann diese Schicht auch aus einem anderen dielektrischen Material, beispielsweise Siliziumoxid oder Aluminiumoxid hergestellt werden. In einem weiteren Verfahrensschritt wird Aluminium-

Material auf der erhaltenen Schichtenfolge abgeschieden und unter Verwendung eines Lithographie- und eines Ätz-Verfahrens derart strukturiert, dass dadurch ein Gate-Bereich 104 gebildet wird. Alternativ kann statt Aluminium-Material auch Polysilizium-Material, Tantalnitrid-Material, etc. verwendet werden.

Um die in Fig.1B gezeigte Schichtenfolge 110 zu erhalten, wird eine zweite elektrisch isolierende Schicht 111 auf der Schichtenfolge 100 abgeschieden und unter Verwendung eines CMP-Verfahrens ("Chemical Mechanical Polishing") mit dem Gate-Bereich 104 als Stoppschicht planarisiert. Ferner werden unter Verwendung eines Lithographie und eines Ätz-Verfahrens Durchgangslöcher 112 in den Gate-Bereich 104 und in die erste elektrisch isolierende Schicht 103 eingebracht. Anschaulich wird dadurch eine Porenmaske ausgebildet, wobei die Poren oder Durchgangslöcher 112 in einem nachfolgenden Verfahrensschritt als Schablonen für das Aufwachsen von Kohlenstoffnanoröhren verwendet werden.

Um die in Fig.1C gezeigte nichtflüchtige Speicherzelle 120 gemäß einem ersten Ausführungsbeispiel der Erfindung zu erhalten, wird zunächst mittels thermischen Oxidierens eine Gate-isolierende Ladungsspeicherschicht 121 auf freiliegenden Oberflächenbereichen des aus Aluminium-Material gebildeten Gate-Bereichs 104 ausgebildet. Daher ist die Gate-isolierende Ladungsspeicherschicht 121 aus Aluminiumoxid-Material gebildet. Alternativ kann eine konforme Abscheidung eines dielektrischen Materials und eine anschließende anisotrope Rückätzung durchgeführt werden, um die Gate-isolierende Ladungsspeicherschicht 121 auszubilden. Die Gate-isolierende Ladungsspeicherschicht 121 dient simultan als Gate-isolierender Bereich des Feldeffekttransistors und als Ladungsspeicherschicht der Speicherzelle 120, in welche Ladungsspeicherschicht 120 elektrische Ladungsträger selektiv einbringbar sind bzw. aus welcher Ladungsspeicherschicht 120 elektrische Ladungsträger selektiv entfernbar sind. Ferner

ist die Gate-isolierende Ladungsspeicherschicht 121 derart eingerichtet, dass die elektrische Leitfähigkeit einer im Weiteren auszubildenden Kohlenstoffnanoröhre charakteristisch mittels in der Gate-isolierenden Ladungsspeicherschicht 121 eingebrachten elektrischen Ladungsträgern beeinflussbar ist.

In einem weiteren Verfahrensschritt werden unter Verwendung eines CVD-Verfahrens ("Chemical Vapour Deposition") halbleitende Kohlenstoffnanoröhren 122 in den Durchgangslöchern 112 aufgewachsen, wobei das Nickel-Material des ersten Source-/Drain-Bereichs 102 das Aufwachsen der Kohlenstoffnanoröhren 122 katalytisch unterstützt. In einem optionalen weiteren Verfahrensschritt kann zusätzliches elektrisch isolierendes Material zum Füllen etwaiger Hohlräume zwischen der Gate-isolierenden Ladungsspeicherschicht 121 und den in einem jeweiligen Durchgangsloch 112 ausgebildeten Kohlenstoffnanoröhren 122 abgeschieden werden. Die so erhaltene Schichtenfolge wird unter Verwendung eines CMP-Verfahrens planarisiert. Ferner erfolgt ein reaktives Rückätzen des abgeschiedenen Materials, um gemäß Fig.1C obere Endabschnitte der Kohlenstoffnanoröhren 122 zum Kontaktieren mit einem im Weiteren aufzubringenden Source-/Drain-Bereich freizulegen. Im Weiteren wird Nickel-Material als zweiter Source-/Drain-Bereich 123 derart abgeschieden, dass die freigelegten oberen Endabschnitte der Kohlenstoffnanoröhren 122 mit dem Material des zweiten Source-/Drain-Bereichs 123 kontaktiert werden.

Dadurch ist die in Fig.1C gezeigte nichtflüchtige Speicherzelle 120 hergestellt. Diese enthält zwei Kohlenstoffnanoröhren 121. Selbstverständlich ist es möglich, eine erfindungsgemäße Speicherzelle unter Verwendung von nur einer Kohlenstoffnanoröhre oder mehr als zwei Kohlenstoffnanoröhren auszubilden.

Mittels Fowler-Nordheim-Tunnelns oder mittels Tunnelns heißer Elektronen (bzw. heißer Löcher) können elektrische



Ladungsträger in die Gate-isolierende Ladungsspeicherschicht 121 selektiv eingebracht werden. Sind solche Ladungsträger dauerhaft in die Gate-isolierende Ladungsspeicherschicht 121 aus Aluminiumoxid-Material eingebracht, so sind dadurch die elektrischen Eigenschaften (z.B. Schwellenspannung) des zugehörigen Transistors charakteristisch verändert, so dass bei Anlegen einer vorgebbaren elektrischen Spannung zwischen die beiden Source-/Drain-Bereiche 102, 123 der Wert des durch den Kanal-Bereich 122 fließenden elektrischen Stroms charakteristisch von Anzahl und Vorzeichen der in der Gate-isolierenden Ladungsspeicherschicht 121 eingebrachten Ladungsträger abhängig ist. Die nichtflüchtige Speicherzelle 120 ist somit als Permanent-Speicherzelle mit großer Haltezeit betreibbar, in der mittels Anlegens geeigneter elektrischer Potentiale an die Source-/Drain-Bereiche 102, 123 und an den Gate-Bereich 104 Information in der Ladungsspeicherschicht 121 mit einer kurzen Programmierzeit speicherbar ist. Ferner ist mittels Anlegens geeigneter elektrischer Potentiale an die Source-/Drain-Bereiche 102, 123 und an den Gate-Bereich 104 Information mit einer ausreichend schnellen Löscho- bzw. Lesezeit daraus entfernbar bzw. auslesbar.

Im Weiteren wird bezugnehmend auf Fig.2A bis Fig.2F ein Verfahren zum Herstellen einer Speicherzelle gemäß einem zweiten Ausführungsbeispiel der Erfindung beschrieben.

Um die in Fig.2A gezeigte Schichtenfolge 200 zu erhalten, wird für das Aufwachsen von Kohlenstoffnanoröhren katalytisch aktives Nickel-Material als erster Source-/Drain-Bereich 102 auf einem Glas-Substrat 100 abgeschieden.

Um die in Fig.2B gezeigte Schichtenfolge 210 zu erhalten, wird eine Siliziumoxid-Schicht 211 auf der Oberfläche der Schichtenfolge 200 abgeschieden und unter Verwendung eines Lithographie- und eines Ätz-Verfahrens mit einer vorgebbaren Porenmaske derart strukturiert, dass Durchgangslöcher 112 in

die Siliziumoxid-Schicht 211 eingebracht werden. Dadurch werden Oberflächenbereiche des für das Aufwachsen von Kohlenstoffnanoröhren katalytisch wirkenden Nickel-Materials des ersten Source-/Drain-Bereichs 102 freigelegt. Ferner dienen die Durchgangslöcher 112 als mechanische Führung zum nachfolgenden Aufwachsen von Kohlenstoffnanoröhren.

Um die in Fig.2C gezeigte Schichtenfolge 220 zu erhalten, werden unter Verwendung eines CVD-Verfahrens halbleitende Kohlenstoffnanoröhren 122 in den Durchgangslöchern 112 vertikal aufgewachsen, wobei aufgrund der katalytischen Wirkung des Nickel-Materials des ersten Source-/Drain-Bereichs 102 für das Aufwachsen von Kohlenstoffnanoröhren diese ausgehend von dem Source-/Drain-Bereich 102 aufzuwachsen beginnen.

Um die in Fig.2D gezeigte Schichtenfolge 230 zu erhalten, wird das dielektrische Material der Siliziumoxid-Schicht 211 unter Verwendung eines selektiven Ätz-Verfahrens entfernt. Ferner wird unter Verwendung eines konformen Abscheide-Verfahrens (z.B. unter Verwendung eines ALD-Verfahrens, "Atomic Layer Deposition") eine Gate-isolierende Ladungsspeicherschicht 231 mit einer Speicherfunktion für elektrische Ladungsträger auf den Kohlenstoffnanoröhren 122 und dem ersten Source-/Drain-Bereich 102 abgeschieden. Die Gate-isolierende Ladungsspeicherschicht 231 ist gemäß dem beschriebenen Ausführungsbeispiel als Siliziumoxid-Siliziumnitrid-Siliziumoxid-Schichtenfolge (ONO-Schichtenfolge) realisiert. Unter Verwendung des ALD-Verfahrens ist es möglich, die Dicke einer abgeschiedenen Schicht bis auf die Genauigkeit einer Atomlage, das heißt, bis auf die Genauigkeit weniger Angstrom, einzustellen, so dass eine homogene Dicke der ONO-Schichtenfolge über die Kohlenstoffnanoröhren 122 hinweg sichergestellt ist. Ferner wird eine elektrisch leitfähige Schicht 232 aus Tantalnitrid (oder alternativ aus dotiertem Polysilizium-Material) auf der so erhaltenen Schichtenfolge abgeschieden und im Weiteren

derart prozessiert, dass sie als Gate-Bereich der Feldeffekttransistoren der Speicherzelle dient.

Um die in Fig.2E gezeigte Schichtenfolge 240 zu erhalten, wird eine Siliziumnitrid-Schicht 241 auf der Schichtenfolge 230 abgeschieden und unter Verwendung eines CMP-Verfahrens derart planarisiert, dass ein gemäß Fig.2E oberer Endabschnitt der Kohlenstoffnanoröhren 122 freigelegt wird.

Um die in Fig.2F gezeigte nichtflüchtige Speicherzelle 250 zu erhalten, wird unter Verwendung eines selektiven Ätz-Verfahrens ein Oberflächenbereich der als Gate-Bereich dienenden elektrisch leitfähigen Schicht 232 zurückgeätzt. Ferner wird dielektrisches Material auf der Oberfläche der so erhaltenen Schichtenfolge abgeschieden und unter Verwendung eines CMP-Verfahrens planarisiert. Dadurch werden elektrisch isolierende Entkopplungselemente 251 ausgebildet. Optional kann dielektrisches Material rückgeätzt werden. Dann wird Nickel-Material auf der Oberfläche der so erhaltenen Schichtenfolge abgeschieden und strukturiert, wodurch ein zweiter Source-/Drain-Bereich 123 an der Oberfläche der nichtflüchtigen Speicherzelle 250 gebildet wird. Der zweite Source-/Drain-Bereich 123 ist mit gemäß Fig.2F oberen Endabschnitten der Kohlenstoffnanoröhren 122 gekoppelt.

Anschaulich wird bei dem Bezugnehmend auf Fig.2A bis Fig.2F beschriebenen Ausführungsbeispiel die Porenstruktur nach dem Aufwachsen der Kohlenstoffnanoröhren 121 entfernt, und es werden die weiteren Komponenten der Speicherzelle auf den freiliegenden Kohlenstoffnanoröhren 122 abgeschieden. Dies hat den Vorteil, dass im Prinzip beliebige Materialien für die Gate-isolierende Ladungsspeicherschicht 231 verwendet werden können.

Im Weiteren wird Bezugnehmend auf Fig.3A, Fig.3B ein Verfahren zum Herstellen einer nichtflüchtigen Speicherzelle gemäß einem dritten Ausführungsbeispiel der Erfindung beschrieben.

Um die in Fig. 3A gezeigte Schichtenfolge 300 zu erhalten, wird auf einem Glas-Substrat 101 ein erster Source-/Drain-Bereich 102 abgeschieden. Dieser wird gemäß dem beschriebenen Ausführungsbeispiel aus einem Material hergestellt, das elektrisch leitfähig ist und das (abweichend von den beiden ersten Ausführungsbeispielen) für das Aufwachsen von Kohlenstoffnanoröhren keine stark katalytische Wirkung aufweist (z.B. Polysilizium-Material). Auf dem ersten Source-/Drain-Bereich 102 wird eine dünne Nickel-Schicht aufgebracht und unter Verwendung eines Lithographie- und eines Ätz-Verfahrens derart strukturiert, dass Katalysatormaterial-Spots 301 aus für das Aufwachsen von Kohlenstoffnanoröhren katalytisch wirkendem Nickel-Material auf der Oberfläche der Schichtenfolge 300 ausgebildet werden. Die Katalysatormaterial-Spots 301 weisen eine Dimension von ungefähr 50nm auf und dienen anschaulich als Keime zum Aufwachsen von Kohlenstoffnanoröhren. Mit anderen Worten werden mittels der Katalysatormaterial-Spots 301 die Stellen des späteren Aufwachsens von Kohlenstoffnanoröhren 122 definiert.

Um die in Fig. 3B gezeigte Schichtenfolge 310 zu erhalten, werden unter Verwendung eines CVD-Verfahrens Kohlenstoffnanoröhren 122 auf den Katalysatormaterial-Spots 301 aufgewachsen. Aufgrund der starken katalytischen Wirkung der Katalysatormaterial-Spots 301 wachsen Kohlenstoffnanoröhren 122 selbst ohne Vorsehen von Poren im Wesentlichen vertikal auf dem ersten Source-/Drain-Bereich 102 auf.

Ausgehend von der Schichtenfolge 310 kann die Prozessierung so fortgesetzt werden, wie ausgehend von Fig. 2C nach dem Entfernen der Siliziumoxid-Schicht 211.

Im Weiteren wird bezugnehmend auf Fig.4 eine Speicherzellen-Anordnung 400 mit vier Speicherzellen 401 bis 404 gemäß einem bevorzugten Ausführungsbeispiel der Erfindung beschrieben.

- 5 Auf einem Glas-Substrat 101, mittels einer ersten elektrisch isolierenden Hilfsschicht 406 voneinander elektrisch isoliert, sind erste Source-/Drain-Bereiche 405 der Speicherzellen 401 bis 404 ausgebildet. Zwischen jedem der ersten Source-/Drain-Bereiche 405 und zweiten Source-/Drain-Bereichen 412 auf der Oberfläche der Speicherzellen-Anordnung 400 ist jeweils eine vertikale Kohlenstoffnanoröhre 408 ausgebildet und mit jeweils zwei Source-/Drain-Bereich 405, 412 gekoppelt. Jede der Kohlenstoffnanoröhren 408 ist von einer Aluminiumoxid-Schicht als Gate-isolierende
- 15 Ladungsspeicherschicht 410 umgeben. Um die Gate-isolierende Ladungsspeicherschicht 410 herum ist ein für die vier in Fig.4 gezeigten Speicherzellen 401 bis 404 gemeinsamer Gate-Bereich 409 ausgebildet. Der Gate-Bereich 409 ist von den Source-/Drain-Bereichen 405 bzw. 412 mittels zweiter bzw.
- 20 dritter elektrisch isolierender Schichten 407 bzw. 411 elektrisch entkoppelt. Mittels der separaten Source-/Drain-Bereiche 405, 412 einer jeden Speicherzelle 401 bis 404 ist jede der Speicherzellen 401 bis 404 einzeln ansteuerbar. Ferner ist die elektrische Leitfähigkeit des Kanal-Bereichs 408 einer jeden Speicherzelle 401 bis 404 mittels Anlegens einer entsprechenden elektrischen Spannung an den Gate-Bereich 409 steuerbar. In jede der Speicherzellen 401 bis 404 ist eine Information von 1 Bit programmierbar, daraus löschar oder daraus auslesbar, welche Information in der
- 25 Menge und dem Ladungsträgertyp von in eine jeweilige Gate-isolierende Ladungsspeicherschicht 410 eingebrachten elektrischen Ladungsträgern kodiert ist. Zum Programmieren, Löschen oder Auslesen sind an die entsprechenden Anschlüsse 405, 410, 412 einer jeweiligen Speicherzelle 401 bis 404
- 30 entsprechende elektrische Potentiale anzulegen, analog wie bei einem herkömmlichen NROM-Speicher.
- 35

Die Speicherzellen-Anordnung 400 stellt eine Schichtenfolge aus einer Vielzahl übereinander angeordneter im Wesentlichen planarer Schichten dar, durch welche hindurch sich die Nanoelemente 408 vertikal erstrecken. Die Nanoelemente 408 sind mittels erster und zweiter Verdrahtungsebenen 405 und 412 beidseitig elektrisch kontaktiert. Mit der modularen Schaltungsarchitektur von Fig.4 ist ein Aufbau komplexer Schaltkreise mit geringem Aufwand ermöglicht.

In diesem Dokument sind folgende Veröffentlichungen zitiert:

- [1] Harris, PJF (1999) "Carbon Nanotubes and Related Structures - New Materials for the Twenty-first Century.", Cambridge University Press, Cambridge. S. 1 to 15, 111 to 155
- [2] DE 100 36 897 C1
- [3] Wind, SJ, Appenzeller, J, Martel, R, Derycke, V, Avouris, P (2002) "Vertical scaling of carbon nanotube field-effect transistors using top gate electrodes", Applied Physical Letters, Volume 80, No.20, 3817-3819
- [4] EP1,170,799 A2
- [5] Fuhrer, MS, Kim, BM, Dürkop, T, Brintlinger, T (2002) "High-Mobility Nanotube Transistor Memory", Nanoletters Vol.2, No.7, S.755-759
- [6] Radosavljevic, M, Freitag, M, Thadani, KV, Johnson, AT (2002) "Nonvolatile Molecular Memory Elements Based on Ambipolar Nanotube Field Effect Transistors", Nanoletters, Vol.2, No.7, S.761-764

## Patentansprüche:

## 1. Nichtflüchtige Speicherzelle

- mit einem Vertikal-Feldeffekttransistor mit einem als Kanal-Bereich eingerichteten Nanoelement;
- mit einer das Nanoelement zumindest teilweise umgebenden elektrisch isolierenden Schicht als Ladungsspeicherschicht und als Gate-isolierende Schicht, die derart eingerichtet ist, dass
  - elektrische Ladungsträger selektiv darin einbringbar oder daraus entfernenbar sind;
  - die elektrische Leitfähigkeit des Nanoelements charakteristisch von in der elektrisch isolierenden Schicht eingebrachten elektrischen Ladungsträgern beeinflussbar ist.

## 2. Speicherzelle nach Anspruch 1,

bei der die elektrisch isolierende Schicht

- eine Siliziumoxid-Siliziumnitrid-Siliziumoxid-Schichtenfolge; oder
  - eine Aluminiumoxid-Schicht
- ist.

## 3. Speicherzelle nach Anspruch 1 oder 2,

bei der das Nanoelement

- eine Nanoröhre
  - ein Bündel von Nanoröhren oder
  - ein Nanostäbchen
- aufweist.

## 4. Speicherzelle nach Anspruch 3,

bei der das Nanostäbchen

- Silizium
- Germanium
- Indiumphosphid
- Galliumnitrid
- Galliumarsenid



- Zirkoniumoxid und/oder
  - ein Metall
- aufweist.

5 5. Speicherzelle nach Anspruch 3,  
bei der die Nanoröhre

- eine Kohlenstoffnanoröhre
  - eine Kohlenstoff-Bor-Nanoröhre
  - eine Kohlenstoff-Stickstoff-Nanoröhre
  - 10 • eine Wolframsulfid-Nanoröhre oder eine
  - eine Chalkogenid-Nanoröhre
- ist.

15 6. Speicherzelle nach einem der Ansprüche 1 bis 5,  
die eine erste elektrisch leitfähige Schicht als erster  
Source-/Drain-Bereich des Feldeffekttransistors aufweist, auf  
welcher das Nanoelement aufgewachsen ist.

20 7. Speicherzelle nach Anspruch 6,  
bei der die erste elektrisch leitfähige Schicht aus  
Katalysatormaterial zum Katalysieren des Ausbildens des  
Nanoelements hergestellt ist.

25 8. Speicherzelle nach einem der Ansprüche 1 bis 7,  
die eine zweite elektrisch leitfähige Schicht als Gate-  
Bereich des Feldeffekttransistors aufweist, welche die  
elektrisch isolierende Schicht zumindest teilweise umgibt.

30 9. Speicherzelle nach Anspruch 8,  
bei der die Dicke der zweiten elektrisch leitfähigen Schicht  
kleiner als eine Längsausdehnung des Nanoelements vorgesehen  
wird derart, dass die das Nanoelement umgebende elektrisch  
isolierende Schicht und die zweite elektrisch leitfähige  
Schicht einen Teil des Nanoelements umgebende  
35 Ringstruktur bilden.

10. Speicherzelle nach einem der Ansprüche 1 bis 9,

die eine dritte elektrisch leitfähige Schicht als zweiter Source-/Drain-Bereich des Feldeffekttransistors aufweist, welche auf dem Nanoelement ausgebildet ist.

- 5 11. Speicherzelle nach einem der Ansprüche 1 bis 10, ausgebildet auf und/oder in einem Substrat aus polykristallinem oder amorphem Material.
- 10 12. Speicherzelle nach einem der Ansprüche 1 bis 11, die ausschließlich aus dielektrischem Material, metallischem Material und dem Material der Nanostruktur gebildet ist.
- 15 13. Speicherzellen-Anordnung mit einer Mehrzahl von nebeneinander und/oder aufeinander ausgebildeten Speicherzellen nach einem der Ansprüche 1 bis 12.
- 20 14. Verfahren zum Herstellen einer nichtflüchtigen Speicherzelle, bei dem
- ein Vertikal-Feldeffekttransistor mit einem als Kanal-Bereich eingerichteten Nanoelement ausgebildet wird;
  - eine das Nanoelement zumindest teilweise umgebende elektrisch isolierende Schicht als Ladungsspeicherschicht und als Gate-isolierende Schicht ausgebildet wird;
  - die elektrisch isolierende Schicht derart eingerichtet wird, dass
    - o elektrische Ladungsträger selektiv darin einbringbar oder daraus entfernbar sind;
    - o die elektrische Leitfähigkeit des Nanoelements charakteristisch von in der elektrisch isolierenden Schicht eingebrachten elektrischen Ladungsträgern beeinflussbar ist.
- 35 15. Verfahren nach Anspruch 14, bei dem

- eine erste elektrisch leitfähige Schicht als erster Source-/Drain-Bereich des Feldeffekttransistors ausgebildet wird;
- nachfolgend eine zweite elektrisch leitfähige Schicht als Gate-Bereich des Feldeffekttransistors ausgebildet wird;
- ein Teilbereich der ersten elektrisch leitfähigen Schicht freigelegt wird, indem ein Durchgangsloch in die zweite elektrisch leitfähige Schicht eingebracht wird;
- die elektrisch isolierende Schicht auf der Oberfläche des Durchgangslochs ausgebildet wird;
- das Nanoelement auf dem freigelegten Teilbereich der ersten elektrisch leitfähigen Schicht in dem Durchgangsloch aufgewachsen wird.

16. Verfahren nach Anspruch 14, bei dem

- eine erste elektrisch leitfähige Schicht als erster Source-/Drain-Bereich des Feldeffekttransistors ausgebildet wird;
- nachfolgend eine Hilfsschicht ausgebildet wird;
- ein Teilbereich der ersten elektrisch leitfähigen Schicht freigelegt wird, indem ein Durchgangsloch in die Hilfsschicht eingebracht wird;
- das Nanoelement auf dem freigelegten Teilbereich der ersten elektrisch leitfähigen Schicht in dem Durchgangsloch aufgewachsen wird;
- die Hilfsschicht entfernt wird;
- die elektrisch isolierende Schicht auf der Oberfläche des Nanoelements aufgebracht wird.

17. Verfahren nach Anspruch 14,

bei dem das Nanoelement zunächst freistehend auf einem Source-/Drain-Bereich vertikal aufgewachsen wird und nachfolgend der restliche Vertikal-Feldeffekttransistor ausgebildet wird.

## Bezugszeichenliste

- 100 Schichtenfolge
- 101 Glas-Substrat
- 102 erster Source-/Drain-Bereich
- 103 erste elektrisch isolierende Schicht
- 104 Gate-Bereich
- 110 Schichtenfolge
- 111 zweite elektrisch isolierende Schicht
- 112 Durchgangslöcher
- 120 nichtflüchtige Speicherzelle
- 121 Gate-isolierende Ladungsspeicherschicht
- 122 Kohlenstoffnanoröhren
- 123 zweiter Source-/Drain-Bereich
- 200 Schichtenfolge
- 210 Schichtenfolge
- 211 Siliziumoxid-Schicht
- 220 Schichtenfolge
- 230 Schichtenfolge
- 231 Gate-isolierende Ladungsspeicherschicht
- 232 elektrisch leitfähige Schicht
- 240 Schichtenfolge
- 241 Siliziumnitrid-Schicht
- 250 nichtflüchtige Speicherzelle
- 251 elektrisch isolierende Entkopplungselemente
- 300 Schichtenfolge
- 301 Katalysatormaterial-Spots
- 310 Schichtenfolge
- 400 Speicherzellen-Anordnung
- 401 erste Speicherzelle
- 402 zweite Speicherzelle
- 403 dritte Speicherzelle
- 404 vierte Speicherzelle
- 405 erste Source-/Drain-Bereiche
- 406 erste elektrisch isolierende Hilfsschicht

- 407 zweite elektrisch isolierende Hilfsschicht
- 408 Kohlenstoffnanoröhren
- 409 Gate-Bereich
- 410 Gate-isolierende Ladungsspeicherschicht
- 411 dritte elektrisch isolierende Hilfsschicht
- 412 zweite Source-/Drain-Bereiche

### Zusammenfassung

Nichtflüchtige Speicherzelle, Speicherzellen-Anordnung und Verfahren zum Herstellen einer nichtflüchtigen Speicherzelle

5

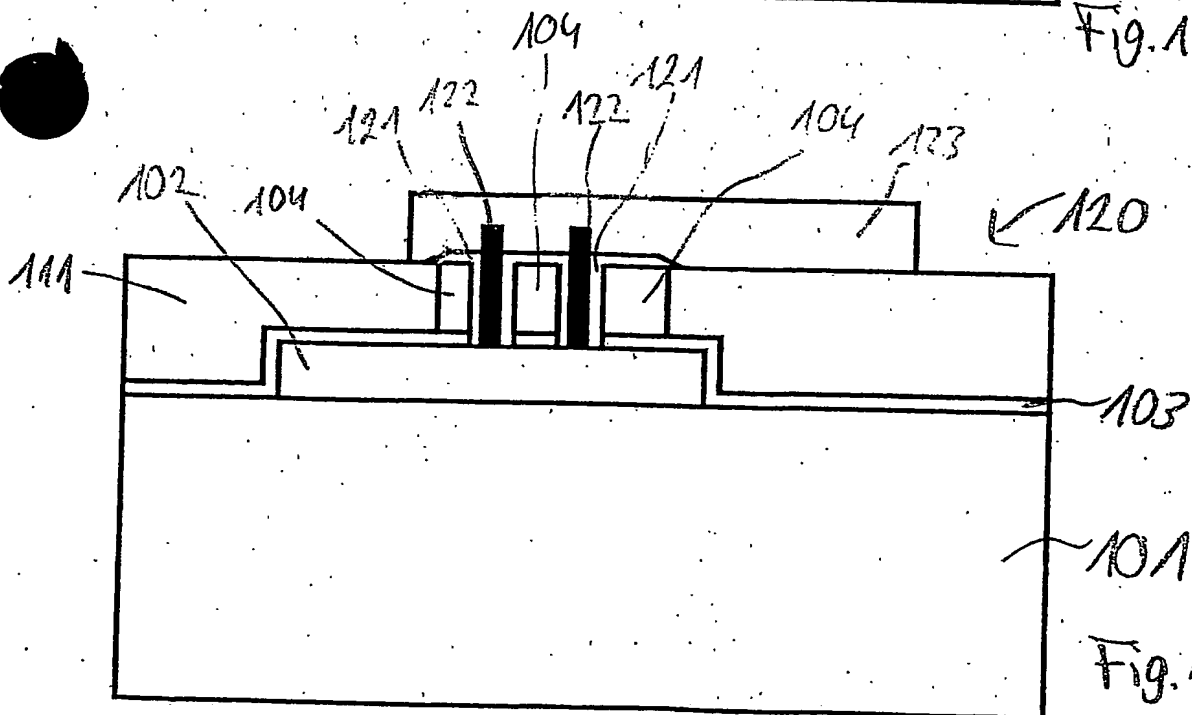
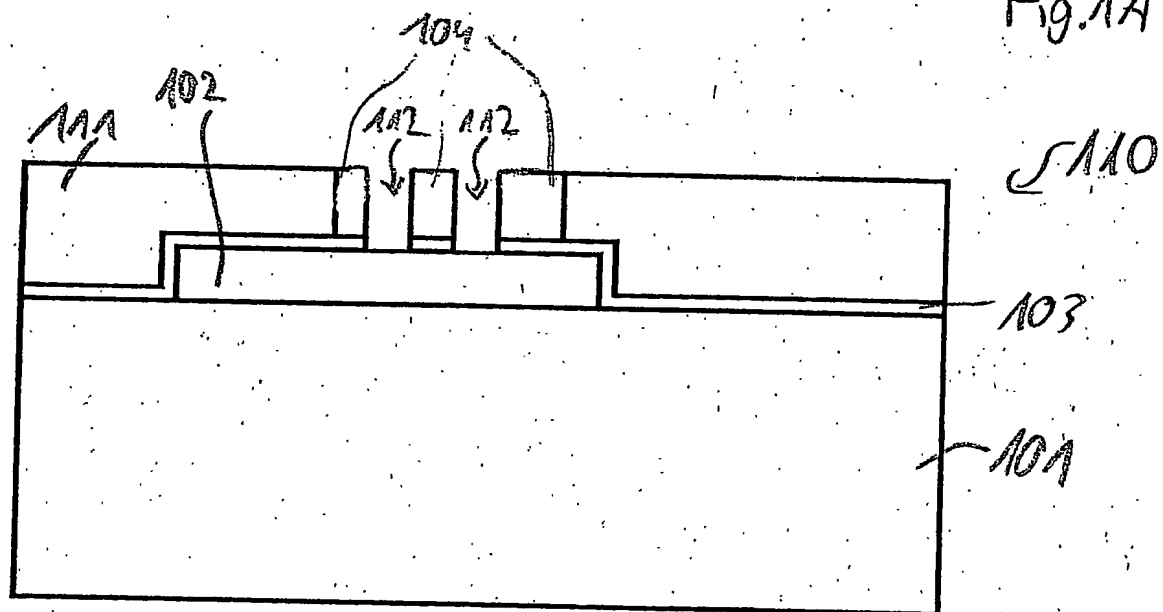
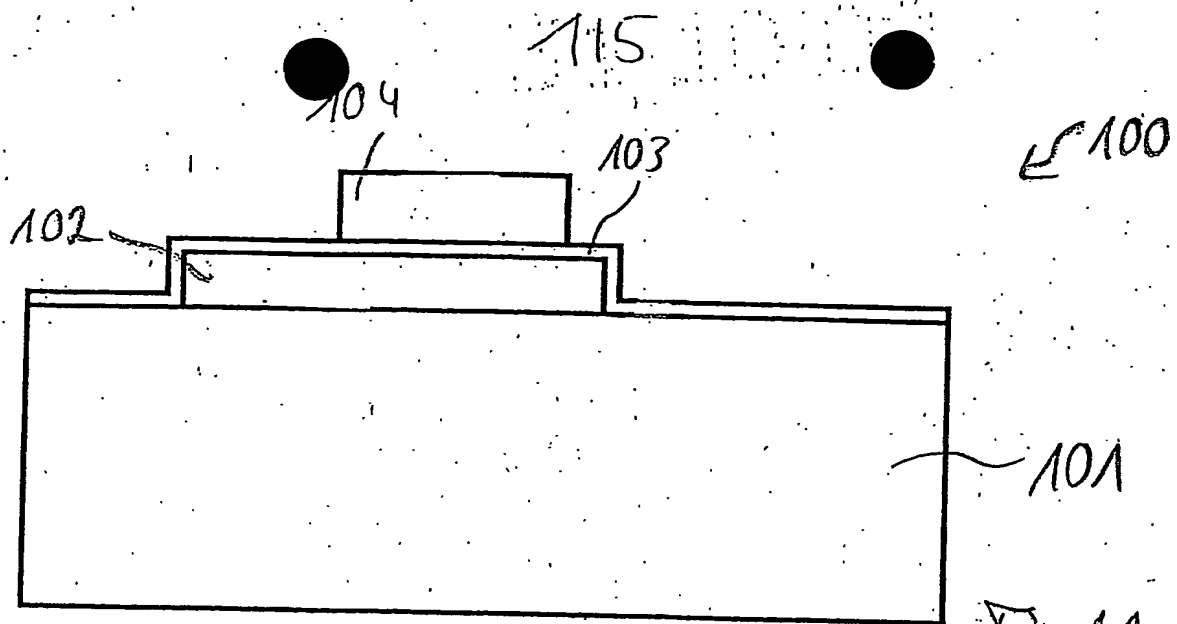
Die Erfindung betrifft eine nichtflüchtige Speicherzelle, eine Speicherzellen-Anordnung und ein Verfahren zum Herstellen einer nichtflüchtigen Speicherzelle. Die nichtflüchtige Speicherzelle enthält einen Vertikal-

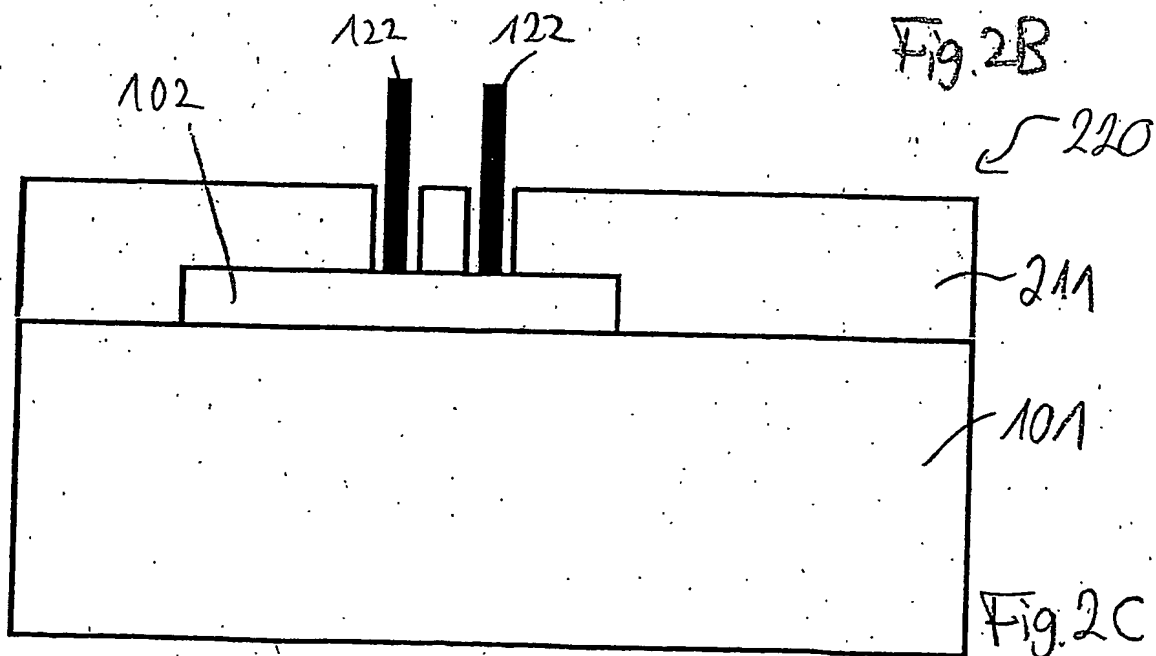
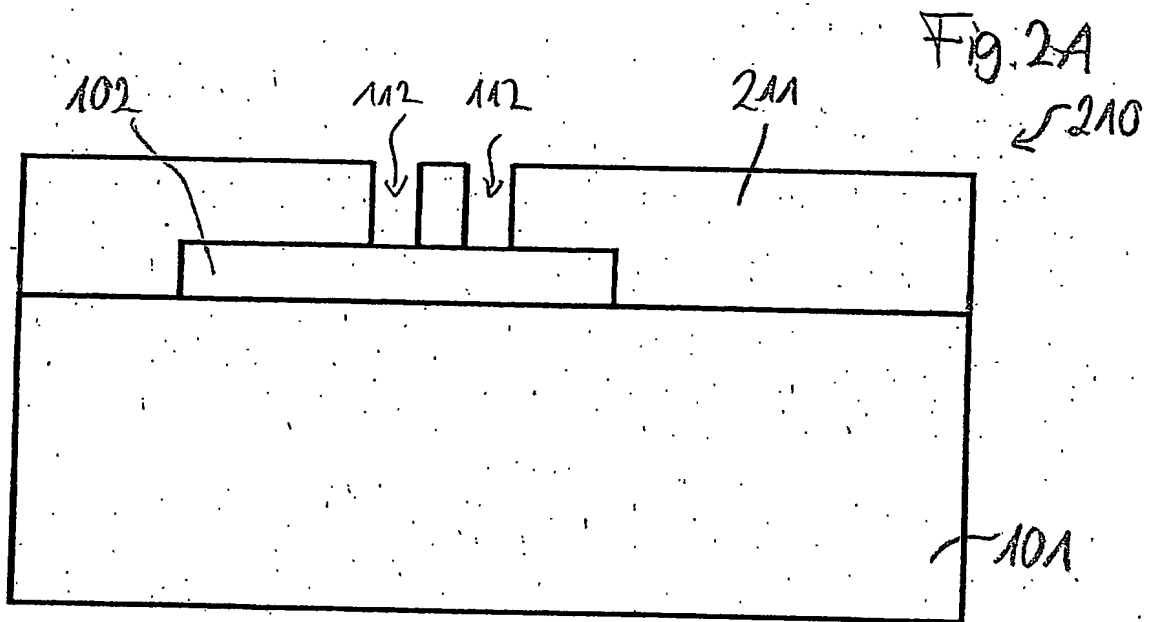
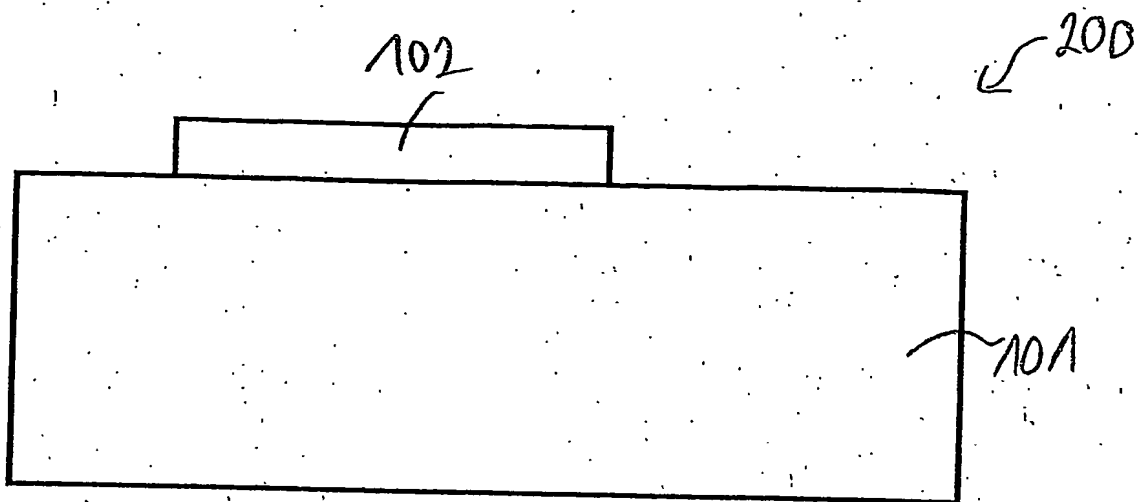
10

Feldeffekttransistor mit einem als Kanal-Bereich eingerichteten Nanoelement und eine das Nanoelement zumindest teilweise umgebende elektrisch isolierende Schicht als Ladungsspeicherschicht und als Gate-isolierende Schicht.

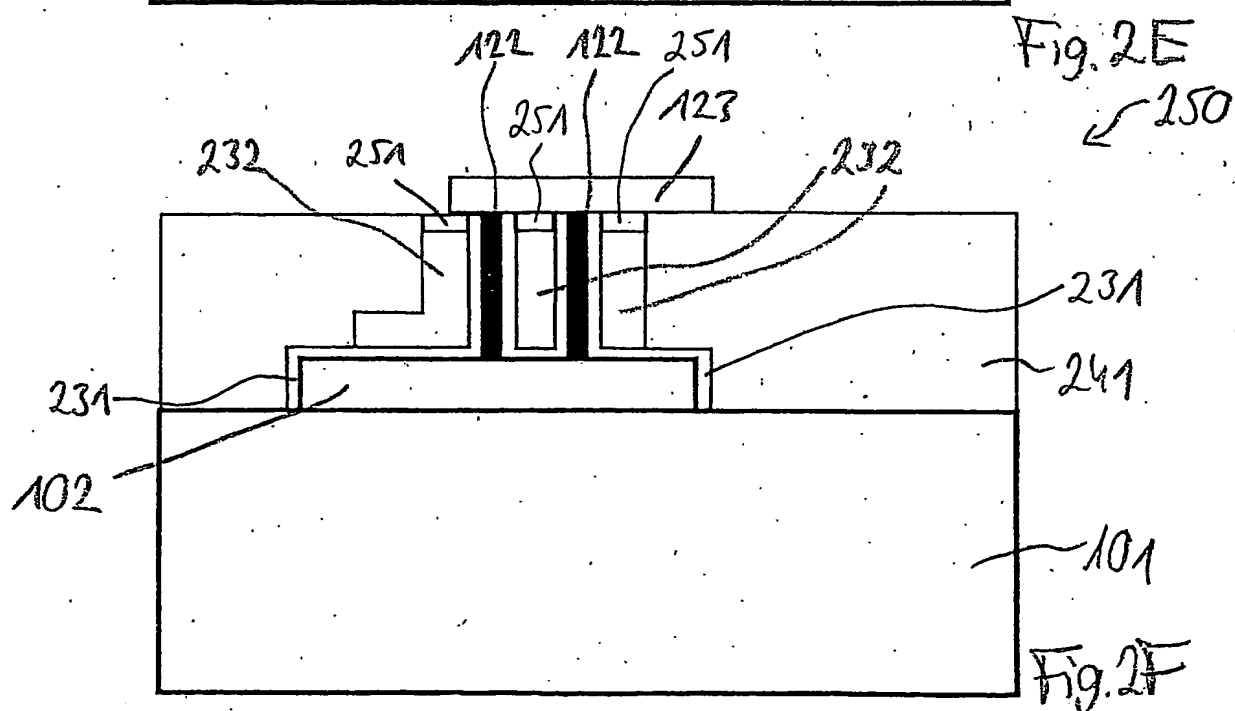
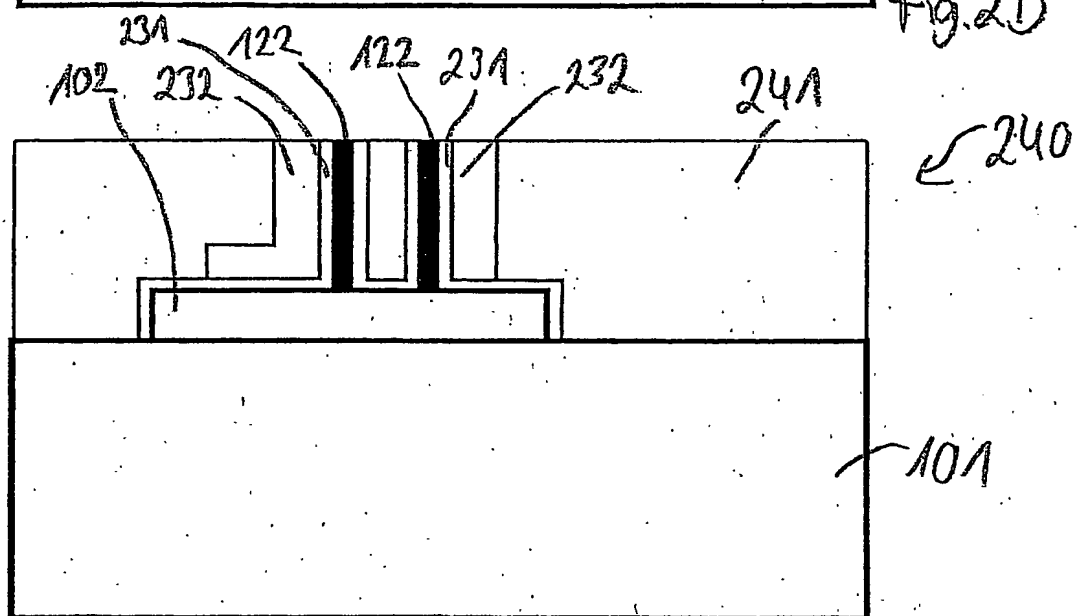
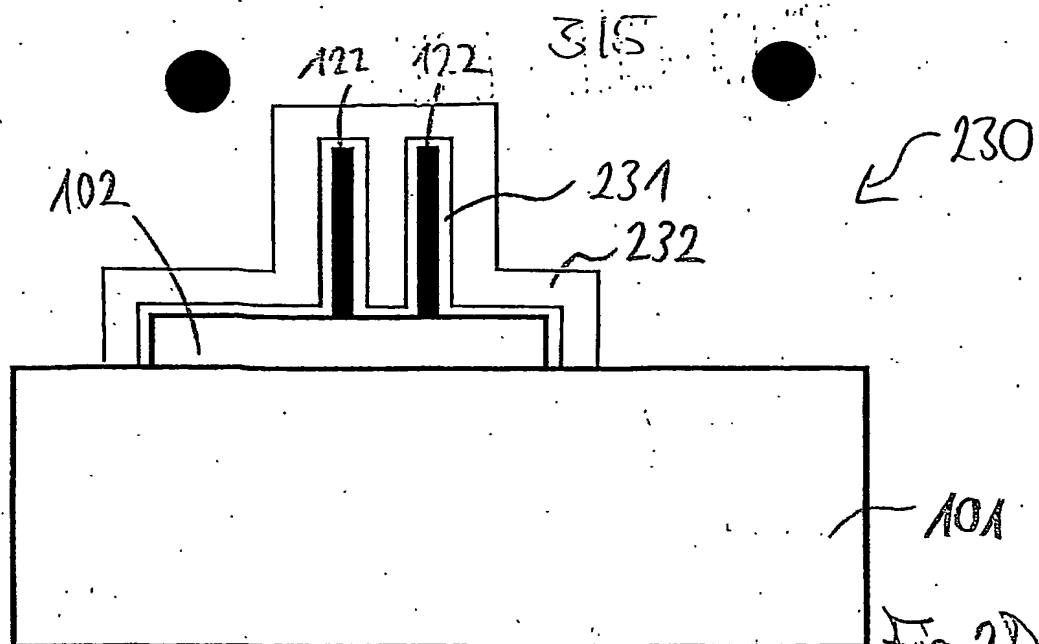
15

Diese ist derart eingerichtet, dass elektrische Ladungsträger selektiv darin einbringbar oder daraus entfernenbar sind, und dass die elektrische Leitfähigkeit des Nanoelements charakteristisch von in der elektrisch isolierenden Schicht eingebrachten elektrischen Ladungsträgern beeinflussbar ist.

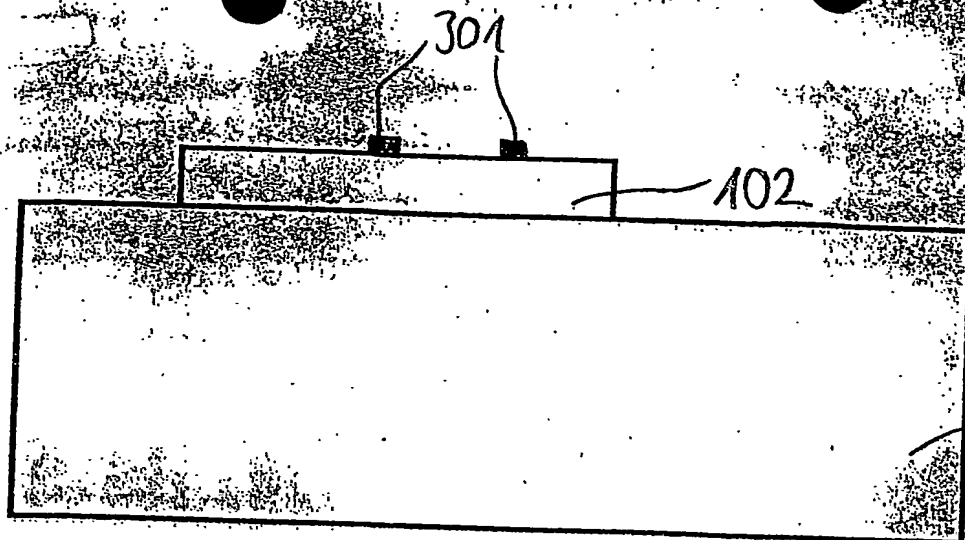








415



300

101

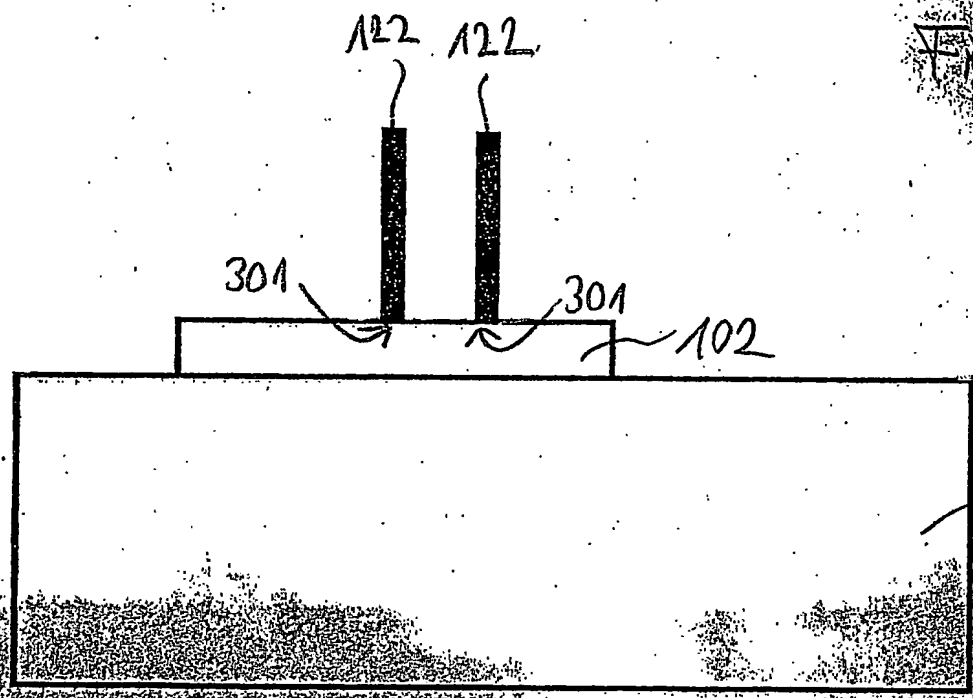
102

301

122 122

Fig 3A

310



101

102

301

301

Fig 3B

515

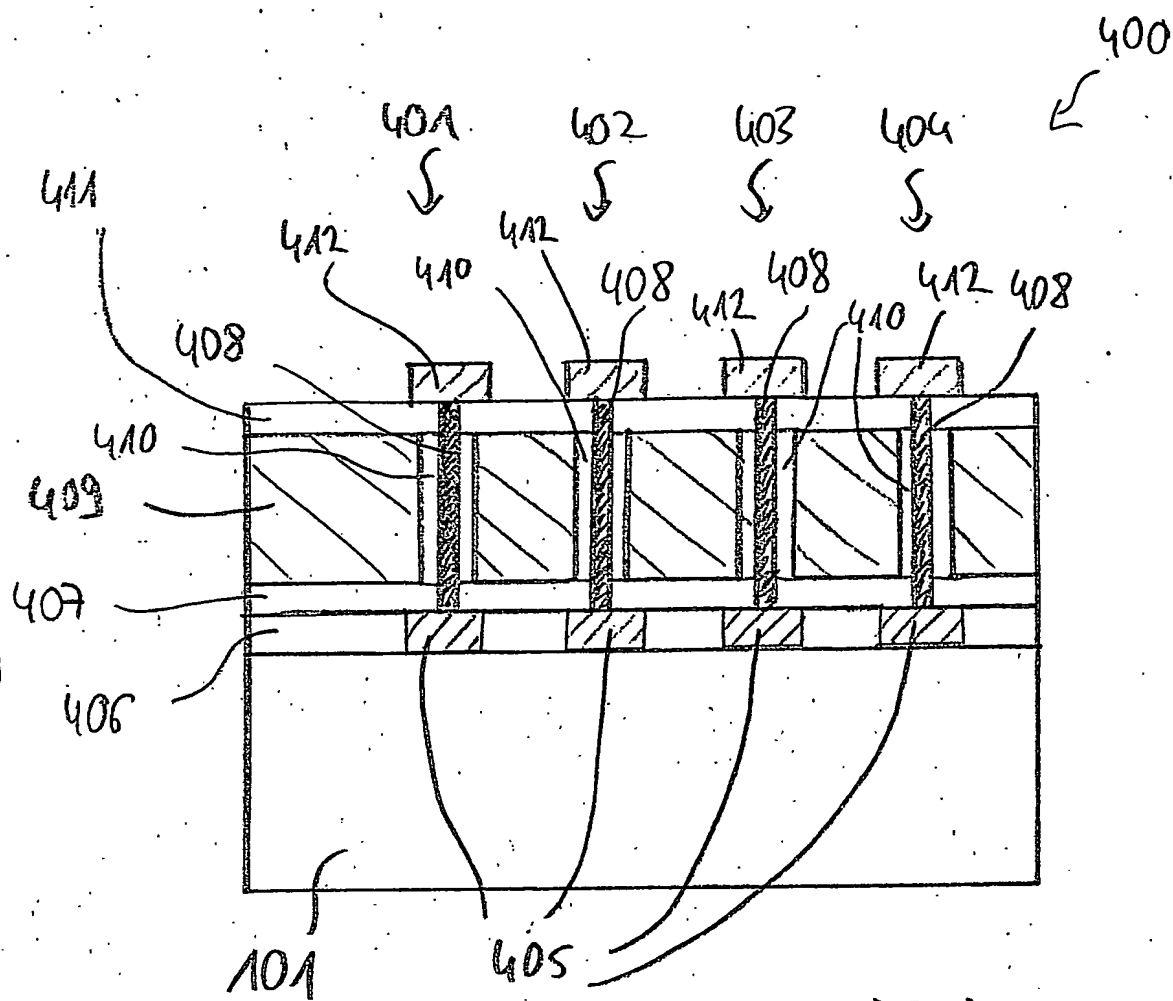


Fig. 4

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**